

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日 2003年12月22日
Date of Application:

出願番号 特願2003-424712
Application Number:

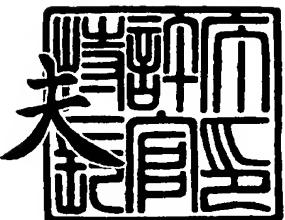
[ST. 10/C]: [JP 2003-424712]

出願人 セイコーエプソン株式会社
Applicant(s):

2004年 1月23日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願
【整理番号】 J0105457
【提出日】 平成15年12月22日
【あて先】 特許庁長官殿
【国際特許分類】 G01L 23/00
【発明者】
 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
 【氏名】 増田 貞拓
【特許出願人】
 【識別番号】 000002369
 【氏名又は名称】 セイコーエプソン株式会社
【代理人】
 【識別番号】 100095728
 【弁理士】
 【氏名又は名称】 上柳 雅薈
 【連絡先】 0266-52-3528
【選任した代理人】
 【識別番号】 100107076
 【弁理士】
 【氏名又は名称】 藤綱 英吉
【選任した代理人】
 【識別番号】 100107261
 【弁理士】
 【氏名又は名称】 須澤 修
【先の出願に基づく優先権主張】
 【出願番号】 特願2003- 88823
 【出願日】 平成15年 3月27日
【手数料の表示】
 【予納台帳番号】 013044
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 0109826

【書類名】特許請求の範囲**【請求項1】**

基板上に電極が積層された構成を含む半導体装置であって、前記電極及び前記基板の積層方向には、これら電極及び基板を貫通する貫通孔が形成され、その貫通孔内部には導電部材が挿通される一方、

前記電極と前記導電部材との間には絶縁部材が配設され、該絶縁部材は少なくとも前記電極よりも上層に位置する壁部を含み、

前記導電部材は、前記貫通孔から前記絶縁部材の壁部を跨いで前記電極と接続されていることを特徴とする半導体装置。

【請求項2】

前記絶縁部材は、前記電極の上層面及び貫通孔内面を覆う形にて形成され、少なくとも前記電極と前記導電部材を接続するための接続孔を、前記貫通孔と基板面内において異なる位置に具備してなり、該接続孔と前記貫通孔との間に前記壁部が配設されてなることを特徴とする請求項1に記載の半導体装置。

【請求項3】

前記基板と前記電極との間には少なくとも層間絶縁膜が形成され、該層間絶縁膜に対しても前記貫通孔が形成されてなり、前記基板と前記層間絶縁膜との境界部分において前記貫通孔内面に段差が形成されていることを特徴とする請求項1又は2に記載の半導体装置。

【請求項4】

前記基板と前記電極との間には少なくとも層間絶縁膜が形成され、該層間絶縁膜に対しても前記貫通孔が形成されてなり、前記基板と前記層間絶縁膜との境界部分において前記貫通孔内面が面一に形成されていることを特徴とする請求項1又は2に記載の半導体装置。

【請求項5】

前記導電部材は、前記貫通孔の孔軸方向への電気的接続を担う接続端子として機能していることを特徴とする請求項1ないし4のいずれか1項に記載の半導体装置。

【請求項6】

前記導電部材は、前記基板の電極が形成された面とは反対側の面において、その一部が前記貫通孔から外側に突出してなることを特徴とする請求項1ないし5のいずれか1項に記載の半導体装置。

【請求項7】

請求項1ないし6のいずれか1項に記載の半導体装置が複数積層されてなり、各半導体装置が前記導電部材を介して電気的に接続されてなることを特徴とする半導体装置。

【請求項8】

請求項1ないし7のいずれか1項に記載の半導体装置を具備してなることを特徴とする半導体デバイス。

【請求項9】

請求項8に記載の半導体デバイスを具備してなることを特徴とする電子機器。

【請求項10】

基板上に電極を形成する積層工程と、

前記電極に対し前記基板表面まで開口する電極孔を形成する電極孔形成工程と、

少なくとも前記電極孔内面から該電極の上層を覆う形にて絶縁層を形成する工程と、

前記絶縁層に対し、前記電極孔内面側であって基板穿孔予定部に対応する位置に開口部を形成する工程と、

該絶縁層をマスクとして前記基板に対して前記電極孔と連通する基板孔を形成する工程と、

前記基板面内において、前記電極孔とは異なる領域に前記絶縁層を開口して前記電極の上層面を露出させる接続孔形成工程と、

少なくとも前記電極孔及び基板孔の内部から前記露出した電極に連なる形にて、該電極

孔及び基板孔内、並びに前記絶縁膜の接続孔内に対して導電部材を充填する導電部材充填工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項11】

前記積層工程において、前記電極上に絶縁膜を形成する工程を更に含み、

前記電極孔形成工程は、前記基板上の前記電極を覆うように形成された前記絶縁膜の、当該電極上に位置する部分の少なくとも一部を開口する第1工程と、開口された前記絶縁膜をマスクとして、前記電極の一部を開口し前記電極孔を形成する第2工程とを含むことを特徴とする請求項10に記載の半導体装置の製造方法。

【請求項12】

前記基板の孔径、及び前記電極の孔径を、略同一に形成することを特徴とする請求項10又は11に記載の半導体装置の製造方法。

【請求項13】

前記基板の孔径D1、及び前記電極の孔径D2が、 $D1 < D2$ を満たすことを特徴とする請求項10又は11に記載の半導体装置の製造方法。

【請求項14】

前記基板の孔径D1、前記電極の孔径D2、及び前記絶縁膜の開口径D3が、 $D1 < D2 < D3$ を満たすことを特徴とする請求項11に記載の半導体装置の製造方法。

【請求項15】

請求項10ないし14のいずれか1項に記載の製造方法により得られた半導体装置を複数用い、各半導体装置をその導電部材を介して積層する半導体装置積層工程を具備することを特徴とする半導体装置の製造方法。

【書類名】明細書

【発明の名称】半導体装置、半導体デバイス、電子機器、および半導体装置の製造方法

【技術分野】

【0001】

本発明は、半導体装置、半導体デバイス、電子機器、および半導体装置の製造方法に関し、特に三次元実装技術に好適な構成の半導体装置に関するものである。

【背景技術】

【0002】

現在、主として携帯電話機、ノート型パーソナルコンピュータ、PDA (Personal data assistance) 等の携帯性を有する電子機器は、小型・軽量化のため、内部に設けられる半導体チップ等の各種の電子部品の小型化が図られており、更にその電子部品を実装するスペースも極めて制限されている。このため、例えば半導体チップにおいては、そのパッケージング方法が工夫され、現在ではCSP (Chip Scale Package) といわれる超小型のパッケージングが案出されている。

このCSP技術を用いて製造された半導体チップは、実装面積が半導体チップの面積と同程度で良いため、高密度実装を図ることができる。

【0003】

しかしながら、上記の電子機器は、今後益々小型化及び多機能化が求められることが予想されており、半導体チップの実装密度を更に高める必要が出てきた。

かかる背景の下、例えば特許文献1に開示されているような三次元実装技術が案出されてきた。この三次元実装技術は、同様の機能を有する半導体チップ同士又は異なる機能を有する半導体チップ同士を積層し、各半導体チップ間を配線接続することで、半導体チップの高密度実装を図る技術である。

【0004】

【特許文献1】特開2002-50738号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

ところで、上述の三次元実装技術においては、各半導体チップ間を配線接続する技術が極めて重要になる。なぜならば、複数の半導体チップからなる半導体装置が所期の機能を発揮するには設計通り配線がなされていることが必要条件であることはもちろんのこと、半導体チップ間の接続を強固にして半導体装置の信頼性を確保する必要があるからである。

【0006】

三次元実装技術に用いられる半導体チップは、例えば半導体基板の表面と裏面とに形成された電極と、半導体基板の表面から裏面へ貫通する貫通孔とを有し、この貫通孔を介して上下の電極同士が電気的に接続された電極構造を有する。そして、このような電極構造を有する半導体チップを積層すると、ある半導体チップの裏面に形成された電極が、他の半導体チップの表面に形成された電極と接続され、これにより各半導体チップ間で配線接続される。

【0007】

このような半導体装置において、電極の接続状態、すなわち電気的接続状態は当該半導体装置の信頼性を確保する上で重要な要素となり、例えば電気的接続不良が生じた場合には当該半導体装置において誤作動が生じてしまう惧れがある。

一方、上記の電極構造を形成するには多くの工程を必要とするため、製造効率が悪いという問題がある。また、上記の電極構造では貫通孔を形成することが必須となるが、この貫通孔の形成位置によっては、半導体チップの設計の自由度が制限されることがあり、設計の自由度も考慮した電極構造にする必要もある。

【0008】

本発明は、上記事情に鑑みてなされたものであり、良好な電気的接続状態を確保した信

頼性の高い半導体装置と、これを備えた半導体デバイス、ならびに該半導体デバイスを備えた電子機器を提供することを目的とする。また、電極構造を形成する際の工程数を低減することによって製造効率を向上させるとともに、製造コストを低減し、更には設計の自由度を高められ、信頼性をも確保することができる半導体装置の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0009】

上記課題を解決するために、本発明の半導体装置は、基板上に電極が積層された構成を含む半導体装置であって、前記電極及び前記基板の積層方向には、これら電極及び基板を貫通する貫通孔が形成され、その貫通孔内部には導電部材が挿通される一方、前記電極と前記導電部材との間には絶縁部材が配設され、該絶縁部材は少なくとも前記電極よりも上層に位置する壁部を含み、前記導電部材は、前記貫通孔から前記絶縁部材の壁部を跨いで前記電極と接続されていることを特徴とする。

【0010】

このような半導体装置によると、貫通孔内部に挿通された導電部材により半導体装置の表裏間で導通をとることができ、この表面及び／又は裏面に別の半導体装置を積層することができるため、半導体装置の三次元実装を実現可能となる。

そして、接続端子の役割を担う導電部材の挿通孔（貫通孔）を電極に対して設けたため、基板上の電極が形成されていない領域に貫通孔を形成する場合に比して、該基板の省スペース化が可能となり、当該半導体装置の高機能化ないし小型化を実現することが可能となり得る。また、このような構成の半導体装置において導電部材と電極との接続を、貫通孔内外で直接行うのではなく、絶縁部材の壁部を跨いで電極と接続するものとしたため、導電部材は絶縁部材を経由して電極と接続することとなり、すなわち導電部材は絶縁部材と電極との双方に密接した構成となる。この場合、導電部材と絶縁部材及び電極との密接面には少なくとも絶縁部材の壁部分だけの段差が生じ、貫通孔の内外で導電部材と電極とを接続した場合に比して、その接続強度（密着力）が高くなり、その結果、導電部材と電極との間の電気的接続状態を安定化することが可能となる。したがって、本発明の半導体装置によれば、電気的接続不良に基づく誤作動が生じ難く、信頼性の高い三次元実装化された半導体装置を提供することが可能となる。

【0011】

なお、本発明の半導体装置において、上記絶縁部材は電極上に配設される部分を有していても良く、少なくとも電極の貫通孔内面側に位置して、導電部材と電極との貫通孔内外での導通を絶縁する構成であれば良い。また、基板と電極との間には層間絶縁膜を有していても良く、この場合、該層間絶縁膜が同軸の貫通孔を具備した構成となる。

【0012】

また、前記絶縁部材は、前記電極の上層面及び貫通孔内面を覆う形にて形成され、少なくとも前記電極と前記導電部材を接続するための接続孔を、前記貫通孔と基板面内において異なる位置に具備してなり、該接続孔と前記貫通孔との間に前記壁部が配設されてなるものとすることができる。この場合、貫通孔から壁部を跨って接続孔に繋がる導電部材が形成されることとなり、その接続状態を一層安定化することが可能となる。

【0013】

本発明の半導体装置において、前記基板と前記電極との間には少なくとも層間絶縁膜が形成され、該層間絶縁膜に対しても前記貫通孔が形成されてなり、前記基板と前記層間絶縁膜との境界部分において前記貫通孔内面に段差が形成されているものとすることができる。この場合、該段差に基づいて導電部材の貫通孔内面に対する密着性が向上し、例えば導電部材が貫通孔から抜け出てしまう等の不具合が生じ難いものとなる。

【0014】

また、前記基板と前記電極との間には層間絶縁膜が形成され、該層間絶縁膜に対しても前記貫通孔が形成されてなり、前記基板と前記層間絶縁膜との境界部分において前記貫通孔内面が面一に形成されているものとすることができる。この場合、例えば貫通孔内面に

対してメッキ処理を施す場合に、内面に対して均一にメッキ処理を施すことが可能となる。

【0015】

また、本発明の半導体装置において絶縁部材は、導電部材と電極との接続状態を安定化するための構成を具備しており、さらに、電極から基板に至る貫通孔内面に形成されてなる構成とした場合には、該貫通孔内でのリーク電流の発生を防止することができるようになる。

【0016】

なお、本発明において前記導電部材は、前記貫通孔の孔軸方向への接続端子、すなわち基板上下方向（積層方向）への電気的接続を行う機能を有している。ここで、導電部材は、前記基板の電極が形成された面とは反対側の面において、その一部が前記貫通孔から外側に突出してなることが好ましく、この場合、突出した部分において外部との電気的接続を容易に行うことが可能となる。

【0017】

次に、本発明の半導体デバイスは、以上のような半導体装置を具備してなることを特徴とし、この場合、一層小型化で信頼性の高い半導体デバイスを実現することが可能となる。また、本発明の電子機器は、この半導体デバイスを具備してなることを特徴とし、この場合も、一層小型化で信頼性の高い電子機器を実現することが可能となる。

【0018】

次に、本発明の半導体装置の製造方法は、基板上に電極を形成する積層工程と、前記電極に対し前記基板表面まで開口する電極孔を形成する電極孔形成工程と、前記電極孔内面から該電極の上層を覆う形にて絶縁層を形成する工程と、前記絶縁層に対し、前記電極孔内面側であって基板穿孔予定部に対応する位置に開口部を形成する工程と、該絶縁層をマスクとして前記基板に対して前記電極孔と連通する基板孔を形成する工程と、前記基板の面内において前記電極孔とは異なる領域において、前記絶縁層を開口して前記電極の上層面を露出させる接続孔形成工程と、前記電極孔及び基板孔の内部から前記露出した電極に連なる形にて、該電極孔及び基板孔内、並びに前記絶縁膜の接続孔内に対して導電部材を充填する導電部材充填工程と、を含むことを特徴とする。

【0019】

このような工程を含む製造方法により、上述した本発明の半導体装置を製造することができる。すなわち、上記製造方法によると、導電部材が電極孔及び基板孔（これらが貫通孔を形成する）から絶縁層（絶縁部材）を跨いで電極と接続する構成の半導体装置、具体的には、導電部材が貫通孔から絶縁層を跨ぐ形にて接続孔にて電極と平面的に接続する構成の半導体装置を提供することができる。

【0020】

本発明の半導体装置の製造方法において、前記積層工程は前記電極上に絶縁膜を形成する工程を更に含み、前記電極孔形成工程は、前記基板上の前記電極を覆うように形成された前記絶縁膜の、当該電極上に位置する部分の少なくとも一部を開口する第1工程と、開口された前記絶縁膜をマスクとして、前記電極の一部を開口し前記電極孔を形成する第2工程とを含むものとすることができる。

【0021】

なお、上記電極孔内面から電極上層を覆う形にて形成された絶縁層をマスクとして、基板に対して穿孔を行うに際しては以下のようない效果がある。つまり、通常用いられるフォトマスクでは、ドライエッチングの耐性が乏しいため $70 \mu m$ の深さの孔を設けるために $10 \mu m$ 程度のレジストマスクが必要で、厚膜によりコストアップに繋がる上、プロセス的にもアスペクト比が大きくなり非効率的である。しかしながら、上述のような絶縁層を用いると、膜厚を数 μm 程度（例えば $2 \mu m$ 程度）と薄くでき、コスト削減とともに効率的な製造プロセスを実現できる。なお、マスクとして用いる絶縁層は、電極上に直接積層する構成の他、電極上に他部材を介して積層することも可能である。

【0022】

ここで、前記電極孔の孔径、及び前記基板孔の孔径を、それぞれ略同一とすることができる。この場合、貫通孔の内面を面一に形成することができ、当該貫通孔内面に対する後加工、後処理（例えばメッキ処理等）等を均一に施すことが可能となる。

【0023】

また、前記基板の孔径D1、及び前記電極の孔径D2が、 $D1 < D2$ を満たすように開口を施すことができ、さらには前記絶縁膜の開口径をD3としたときに、 $D1 < D2 < D3$ を満たすように開口を施すことができる。この場合、形成される貫通孔内面に段差が生じ、該段差により内部に形成される導電部材の貫通孔に対する密着性が向上する。

【0024】

また、本発明の半導体装置の製造方法によると、下側に電子素子が形成されない電極に孔（貫通孔）を穿孔し、半導体装置の外部の接続端子となる導電部材を孔内部に挿通しているため、電極とは異なる位置に導電部材を形成した場合（すなわち電極に貫通孔を形成しない場合）に比べて、半導体装置の面積を有効に利用することができ、その結果として半導体装置の設計の自由度が向上する。また、貫通孔を電極とは異なる位置に形成した場合には、基板上の実装面積の制限上、導電部材の大きさが制限されたことがあったが、本発明では電極と同程度の大きさの貫通孔を形成することができ、これにより別の半導体装置との接続面積が大となり、最終的には半導体装置の信頼性を向上させることができる。

【0025】

さらに、以上のような方法により得られる半導体装置を、各半導体装置の導電部材を介して積層する半導体装置積層工程を具備するものとすることができる。

このような工程により、高い信頼性を備えた半導体装置の三次元実装を実現することができる、ひいては極めて小型で信頼の高い半導体装置、及びこれを備えた半導体デバイス、さらにはこれを具備してなる電子機器を提供することができる。

【0026】

なお、本発明において半導体装置に形成する貫通孔の孔形状（軸断面形状、或いは開口形状）としては、円形の他、四角形等の多角形も採用することができる。また、一つの電極に対して複数の貫通孔を形成して各貫通孔内に導電部材を挿通し、三次元実装を実現することも可能で、この場合、上下接続における機械的安定性及び電気的安定性の向上を図ることができるようになる。

【0027】

ここで、電極はアルミニウムを主体として構成されるのが一般的であるが、銅などを用いて形成しても良く、その形状は設計に応じて種々異なるが、例えば一辺が約 $100\mu m$ 程度の角形をなしても良い。なお、貫通孔内に充填する導電部材についてもアルミニウムや銅を用いることができ、銅を充填させる場合にはCuダマシン法を採用することができる。すなわち、貫通孔に銅をCVD法や、電界メッキ法等により充填させ、CMPにより表面を研磨除去する方法により、導電部材を形成することができる。このように銅を接続端子用の導電部材として用いた場合には、高速デバイスに適した低抵抗化が実現されることとなり非常に有利な半導体装置となり得る。

【発明を実施するための最良の形態】

【0028】

以下、図面を参照して本発明の実施形態について説明する。なお、本実施の形態においては、各図において各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

【実施例1】

【0029】

図1は第1の実施の形態の半導体装置について、その要部を示す部分断面模式図であって、半導体装置100は、シリコン基板10上に熱酸化膜からなる絶縁膜12及びSiO₂からなる層間絶縁膜14を介して電極パッド16が積層された構成の半導体装置本体部1を三次元実装してなるものである。

【0030】

各半導体装置本体部1は、シリコン基板10上に厚さ約4000Åの絶縁膜12と、厚さ約10000Åの層間絶縁膜14と、厚さ約8000Åの電極パッド16とが積層されてなるとともに、これらシリコン基板10、絶縁膜12、層間絶縁膜14、電極パッド16を積層方向に貫通する貫通孔11を具備してなり、その貫通孔11内部には導電部材からなる接続端子24が挿通されている。また、電極パッド16上には、該電極パッド16の貫通孔11よりも拡径のパッシベーション膜18が形成されている。さらに、電極パッド16及びパッシベーション膜18上には絶縁層20が積層され、該絶縁層20は、電極パッド16上のパッシベーション膜18が形成されていない領域に接続孔28を具備するとともに、貫通孔11に面する絶縁壁部13を具備してなる。また、絶縁層20は電極パッド16上から貫通孔11内面にまで延びて形成され、電極パッド16と接続端子24との間に位置して、これらを絶縁している。

【0031】

さらに具体的には、絶縁層20は、電極パッド16の上層面及び貫通孔11の内面を覆う形にて形成され、少なくとも電極パッド16と接続端子24を接続するための接続孔28を、貫通孔11と基板10の面内において異なる位置に具備してなるものであり、これら接続孔28と貫通孔11との間に絶縁壁部13が配設されているのである。このように絶縁壁部13は貫通孔11の内面に沿って、該電極パッド16の表面から突出する環状凸部を少なくとも有してなり、自身も貫通孔11に沿う孔部を具備してなるものである。

【0032】

このような絶縁壁部13を備える絶縁層20の孔内側には下地膜22を介して上記接続端子24が挿通されている。貫通孔11内部に形成された接続端子24は、該貫通孔11から絶縁層20の絶縁壁部13を跨ぐ形にて接続孔28において電極パッド16と接続されている。なお、本実施の形態においては、貫通孔11内面の基板10と絶縁膜12との境界付近において段差が形成されており、これにならって接続端子24の孔との接触面には段差が形成されている。また、貫通孔11の開口形状（孔軸断面形状）は丸形であるが、その他にも四角形等の多角形状のものを採用することも可能である。

【0033】

電極パッド16は、厚さ100ÅであってTiからなる第1層16a、厚さ約1000ÅであってTiNからなる第2層16b、厚さ約5000ÅであってAlCuからなる第3層16c、及び厚さ約400ÅであってTiNからなる第4層（キャップ層）16dを順に積層して形成されている。前述したように電極パッド16の孔内面には絶縁壁部13を具備した絶縁層20が形成されており、一方、接続端子24は、貫通孔11から該絶縁壁部13を跨いで接続孔28を介して電極パッド16と平面的に接続されている。すなわち、貫通孔11内部に充填された接続端子24は、電極パッド16上の貫通孔11に面する位置に選択的に形成された絶縁層20の絶縁壁部13上を覆うとともに、貫通孔11の孔面とは異なる位置において、絶縁膜20に形成された接続孔28にも充填されて電極パッド16と接続されている。なお、接続孔28は電極パッド16の第4層（キャップ層）16dをも貫通する形にて第3層16cにまで開口されている。

【0034】

以上のような電極パッド16と接続端子24との接続に供する接続孔28は、一つの電極パッド16に対して多数形成することも可能で、この場合、電極パッド16と接続端子24との機械的接続強度が強固なものとなり、その接続安定性が向上することとなる。

【0035】

また、接続端子24上層には錫-銀からなるメッキ薄膜19が形成され、該メッキ薄膜19を介して異なる半導体装置本体部が積層接続される。なお、半導体装置本体部1においては、シリコン基板10の貫通孔11から接続端子24が若干突出して形成され、その突出した部分が異なる半導体装置本体部の接続端子とメッキ薄膜を介して接続されることとなり、積層された各半導体装置本体部の層間にはアンダーフィル25が充填されている。

【0036】

このような本実施の形態の半導体装置100によると、貫通孔11内部に挿通された接

続端子24により半導体装置本体部1の表裏間で導通をとることができ、この表面及び／又は裏面に別の半導体装置本体部を積層することが可能なため、半導体装置本体部1を三次元実装することが可能となる。そして、貫通孔11を電極パッド16内部に設けたため、シリコン基板10上の電極パッド16が形成されていない領域に貫通孔を形成する場合に比して、省スペース化が可能となり、当該半導体装置の高機能化そして小型化を実現することが可能となり得る。

【0037】

また、このような本実施の形態の半導体装置100において接続端子24と電極パッド16との接続を、貫通孔11内部の接続端子24から電極パッド16に対して孔面を介して直接行うのではなく、貫通孔11の内面に沿って電極パッド16から突出した構成の絶縁壁部13を跨ぐ形にて電極パッド16と接続するものとしたため、接続端子24は絶縁壁部13上を超えて電極パッド16と接続することとなり、つまり接続端子24が絶縁壁部13と電極パッド16との双方に接面した構成となる。この場合、接続端子24と絶縁壁部13及び電極パッド16との接面には少なくとも絶縁壁部13の厚さ分（電極パッド16上に突出した分）だけの段差が生じ、段差なしに面一で接続端子24と絶縁壁部13及び電極パッド16とを密着させた場合に比して、その密着力が高くなり、その結果、接続端子24と電極パッド16との間の電気的接続状態を安定化することが可能となる。したがって、電気的接続不良に基づく半導体装置100の誤作動が生じ難く、当該半導体装置100の信頼性が向上することとなる。

【0038】

以下、図1に示した半導体装置100の製造方法について、その一例を説明する。図2～図6は、半導体装置100を製造する一連の工程の内の、本発明に関連した工程を断面図にて示す工程図である。なお、本実施形態においては、シリコンウェハ等の半導体基板に対して各種処理を行う場合を例に挙げて説明するが、多数の半導体チップが形成されている状態の半導体基板そのものに対して処理を行うのではなく、個々の半導体チップに対して以下に示す処理を行っても良い。なお、半導体チップの場合には、一般的には直方体（立方体を含む）であるが、その形状は限定されず、円柱状（球状を含む）であってもよい。

【0039】

まず、処理対象の半導体基板の構成について説明する。図2(a)において、図示しないトランジスタ、メモリ素子、その他の電子素子からなる集積回路が形成されたシリコン等からなる基板（シリコン基板）10の表面には、絶縁膜12が形成されている。この絶縁膜12は、例えば基板10の基本的な材料であるSi（シリコン）の酸化膜（SiO₂）で形成されている。

【0040】

絶縁膜12上には、例えば硼珪酸ガラス（以下、BPSGという）からなる層間絶縁膜14が形成されている。多層配線構造を有する半導体装置においては、例えば3層配線構造を有する場合、層間絶縁膜14上に、次の層間絶縁膜14a、更にその次の層間絶縁膜14bが積層されることになる。つまりn層多層配線構造を有する場合には、n層分の層間絶縁膜が積層されることとなる（図示せず）。それぞれの層間絶縁膜には、膜厚が5000Å～10000Åのシリコン酸化膜や低誘電率膜が適用される。層間絶縁膜14上には、図示しない箇所で基板10に形成された集積回路と電気的に接続された電極としての電極パッド16が形成されている。この電極パッド16は、Ti（チタン）からなる第1層16a、TiN（窒化チタン）からなる第2層16b、AlCu（アルミニウム／銅）からなる第3層16c、及びTiNからなる第4層（キャップ層）16dを順に積層して形成されている。

【0041】

電極パッド16は、例えばスパッタリングにより第1層16a～第4層16dからなる積層構造を層間絶縁膜14上の全面に形成し、レジスト等を用いて所定の形状（例えば、円形形状）にパターニングすることにより形成される。なお、本実施形態では、電極パッ

ド16が上記の積層構造により形成されている場合を例に挙げて説明するが、電極パッド16がA1のみで形成されていても良いが、電気抵抗の低い銅を用いて形成することが好ましい。また、電極パッド16は、上記の構成に限られず、必要とされる電気的特性、物理的特性、及び化学的特性に応じて適宜変更しても良い。

【0042】

また、電極パッド16は、基板10に複数形成された半導体チップの面の少なくとも1辺（多くの場合、2辺又は4辺）に沿って並んで形成される。また、この電極パッド16は、各半導体チップの面の辺に沿って形成される場合と、中央部に並んで形成される場合がある。なお、電極パッド16の下方には電子回路が形成されていない。

【0043】

また、層間絶縁膜14上には、電極パッド16を覆うように保護層としてのパッシベーション膜18が形成されている。このパッシベーション膜18は、SiO₂（酸化珪素）、SiN（窒化珪素）、ポリイミド樹脂等により形成することができる。

【0044】

次に、以上の構成の半導体基板に対して行う各工程を順次説明する。まず、スピント法、ディッピング法、スプレーコート法等の方法によりレジスト（図示省略）を図2（a）に示したパッシベーション膜18上の全面に塗布する。なお、このレジストは、電極パッド16上を覆っているパッシベーション膜18を開口するために用いるものであり、フォトレジスト、電子線レジスト、X線レジストの何れであってもよく、ポジ型又はネガ型の何れであってもよい。

【0045】

パッシベーション膜18上にレジストを塗布した後、プリベークを行い、所定のパターンが形成されたマスクを用いて露光処理及び現像処理を行うことでレジストを所定形状にパターニングする。なお、レジストの形状は、電極パッド16の開口形状に応じて設定され、具体的には径60μmの円形開口部を有するものである。このようなレジストのパターニング後、ポストベークを行い、図2（b）に示すように、電極パッド16を覆うパッシベーション膜18の一部をエッチングして開口部H1を形成する。図2（b）は、パッシベーション膜18を開口して開口部H1を形成した状態を示す断面図である。

【0046】

なお、エッチングにはドライエッチングを適用することが好ましい。ドライエッチングは、反応性イオンエッチング（RIE：Reactive Ion Etching）であってもよい。また、エッチングとしてウェットエッチングを適用してもよい。パッシベーション膜18に形成される開口部H1の断面形状は、後述する工程で形成される電極パッド16の開口形状に応じて設定され、その径は電極パッド16に形成される開口の径より大きい径に設定される。

【0047】

以上の工程が終了すると、開口部H1を形成したパッシベーション膜18上のレジスト71をマスクとして、ドライエッチングにより電極パッド16、層間絶縁膜14、及び絶縁膜12を開口する。図2（c）は、電極パッド16、層間絶縁膜14、及び絶縁膜12を開口して開口部H2を形成した状態を示す断面図である。なお、ドライエッチングとしてはRIEを用いることができる。

【0048】

ここでは、電極パッド16と層間絶縁膜14及び絶縁膜12を同一工程にて開口するものとしているが、例えば電極パッド16を開口した後に、別工程で層間絶縁膜14及び絶縁膜12を開口するものとしても良い。つまり、上記プロセスにおいては、同一のレジストマスクを用いてエッチングを繰り返したが、各エッチング工程終了後、レジストをパターニングし直すものとすることができる。さらに、電極パッド16に形成された開口部H2を開口した後にレジストを剥離し、電極パッド16の最表面のTiNをマスクにして、層間絶縁膜14及び絶縁膜12をエッチングし、図2（c）に示すように基板10を露出せしめることも可能である。

【0049】

以上のような工程により、図2 (c) に示すように基板10の表面が露出される。この後、開口マスクとして使用してきたパッシベーション膜18上に形成したレジストを、剥離液或いはアッシング等により剥離する。

【0050】

なお、このように電極パッド16を開口した後に、別工程で層間絶縁膜14及び絶縁膜12を開口するものとすれば、例えば図8に示したような半導体装置本体部300を含む半導体装置300を提供することができる。つまり、電極パッド16に形成された貫通孔の孔径と、層間絶縁膜14及び絶縁膜12に形成された貫通孔の孔径が異なり、その結果、該電極パッド16と層間絶縁膜14との境界付近において、貫通孔11の内面に段差が形成されることとなる。この場合、接続端子24が貫通孔11から抜ける等の不具合が生じ難くなり、接続状態の安定性を向上させることが可能となる。

【0051】

次に、図3 (a) に示すように、基板10を穿孔するためのエッチング用ハードマスク29を形成する。ハードマスク29は、パッシベーション膜18及び電極パッド16の上層面、及び開口部H2の内面を覆う態様にて形成するものとし、例えばSiO₂等の絶縁材料をCVD法等により形成することができる。このようにハードマスク29を全面形成したのち、図3 (a) に示すように、開口部H2の底においてハードマスク29の開口部H5を形成し、基板10の表面を開口部H2に露出させる。ここでは開口部H5に対応した開口を有するレジストを用いたエッチングにより、ハードマスク29の穿孔を行った。なお、エッチングにはドライエッチングを適用することが好ましい。ドライエッチングは、反応性イオンエッチング (RIE: Reactive Ion Etching) であってもよい。

【0052】

そして、この開口部H5を備えるハードマスク29を用いて、ドライエッチングにより、図3 (b) に示すように基板10を穿孔する。なお、ここでは、ドライエッチングとしてRIEのほかにICP (Inductively Coupled Plasma) を用いることができる。図3 (b) は、基板10を穿孔して、孔部H3を形成した状態を示す断面図である。なお、ハードマスク29の開口部H5は、基板穿孔時のオーバーエッチ (サイドエッチ) を考慮して、開口径30μm～50μm (例えば30μm) としている。

【0053】

ここでは、パッシベーション膜18及び電極パッド16上、ならびに開口部H1, H2内面に形成されたハードマスク29をレジストマスクとして基板10を穿孔しているため、図3 (b) に示すように、基板10に形成される孔部H3の径は、電極パッド16に形成された開口部H2の径よりも小さいものとなる。その結果、開口部H1, H2、及び孔部H3を連通してなる貫通孔に、基板10の一部が突出してなる段差部が形成されることとなる。

【0054】

なお、ハードマスク29の膜厚については、基板10に対して70μm程度の深さの孔を形成する場合には、例えば正珪酸四エチル (Tetra Ethyl Ortho Silicate: Si (OC₂H₅)₄: 以下、TEOSという) を原料として、PECVD (Plasma Enhanced Chemical Vapor Deposition) を用いて形成したシリコン酸化膜、即ちPE-TEOS法にて形成したシリコン酸化膜を2μm程度形成する必要がある。ハードマスク29の形成方法としては、PE-TEOS法の他にも、オゾンとTEOSを用いて熱CVD法によりシリコン酸化膜SiO₂を形成する、即ちO₃-TEOS法、或いはSiH₄-N₂O系、SiH₄-O₂系のプラズマ励起CVD法により形成することも可能である。また、基板穿孔工程により、ハードマスク29も薄膜化され、該穿孔工程後には膜厚が1000Å～9000Å程度に減少することとなる。つまり、本実施の形態では、ハードマスク29の膜厚をオーバーエッチング量よりも大きな値となるように設定した。

【0055】

ここで、通常用いられるフォトレジストマスクでは、ドライエッチングの耐性が乏しい

ため $70\ \mu\text{m}$ 孔設に対して $10\ \mu\text{m}$ 程度のレジストマスクが必要で、厚膜によりコストアップに繋がる上、プロセス的にもアスペクト比が大きくなり、非効率的である。しかしながら、上述のようなハードマスク29によると、膜厚を薄くでき、コスト削減とともに効率的な製造プロセスを実現できる。

【0056】

また、ハードマスク29の開口部H5の開口形状としては、本実施の形態では円形を採用しているが、四角形等の多角形を採用でき、開口プロセスにはPFC系ドライエッティング、又はBHF系ウェットエッティングのいずれかが好適である。

【0057】

以上の工程が終了すると、孔部H3よりも孔内側に突出して残されたハードマスク29の突出部29aをエッティングにより除去する。すなわち電極パッド16、層間絶縁膜14、絶縁膜12の開口部内壁に残されたハードマスク29について、孔部H3よりも突出した突出部29aを選択的に除去し、図4(a)に示すように電極パッド16、層間絶縁膜14、絶縁膜12の開口部内壁に薄膜の絶縁膜29が残存するようにエッティングする。図4(a)は、電極パッド16の上方並びに開口部H2の内壁に絶縁膜20を残存させた状態を示す断面図である。このようなエッティングを行うことで、孔部H3の開口径よりも大きい開口径を有する形にて、電極パッド16、層間絶縁膜14、絶縁膜12の開口部内壁に薄層絶縁膜29を形成する(残存させる)ことが可能である。なお、この場合の薄層絶縁膜29の電極パッド16内に相当する部分の開口径は、形成した基板貫通孔の開口径及び形成した電極孔の開口径に対応させる。例えば、薄層絶縁膜29の電極パッド16内に相当する部分の開口径は、基板貫通孔の開口径を $30\ \mu\text{m}$ 、電極孔の開口径を $60\ \mu\text{m}$ としたとき、その間の値の $40\ \mu\text{m} \sim 58\ \mu\text{m}$ (例えば $50\ \mu\text{m}$) 程度となる。

【0058】

次に、突出部29a除去用のレジストを除去した後、絶縁膜29上及び孔部H3内に絶縁膜の被覆処理を行う。ここでは、PE-TEOS法にて、シリコン酸化膜を $1 \sim 3\ \mu\text{m}$ 程度形成するものとしており、その結果、図4(b)に示すように、基板10、絶縁膜12、14、電極パッド16に連通した貫通孔11内部に絶縁膜20を形成することができる。また、絶縁膜20はプラズマCVD法により $1 \sim 3\ \mu\text{m}$ 程度形成されたシリコン窒化膜であってもよい。また、前述のシリコン酸化膜とシリコン窒化膜を積層して $1 \sim 3\ \mu\text{m}$ 形成することで、絶縁膜20を形成してもよい。また、シリコン酸化膜とシリコン窒化膜とを積層して形成する場合には、シリコン酸化膜を形成した後に、シリコン窒化膜を形成することで、シリコン酸化膜をシリコン窒化膜よりも基板10に近い位置に形成してもよい。

【0059】

続いて、絶縁膜20上にレジスト(図示省略)を塗布する。このレジストは、電極パッド16の一部の上方を開口するために用いるものであり、このレジストを塗布した後、プリベークを行い、さらに所定のパターンが形成されたマスクを用いて露光処理及び現像処理を行い、電極パッド16の上方以外の部分並びに孔部H3及びその周辺部のみにレジストが残された形状、例えば孔部H3(周辺部を含む)を中心とした円環形状にレジストをパターニングする。

【0060】

レジストのパターニングが終了すると、ポストベークを行った後、エッティングにより電極パッド16の一部を覆う絶縁膜20を除去することで、図5(a)に示すように電極パッド16の開口周辺に絶縁壁部13を残存させた状態で、該電極パッド16の一部に接続孔を開口する。図5(a)は、電極パッド16を覆う絶縁膜20の一部を除去した状態を示す断面図である。図5(a)に示すように、電極パッド16の開口周辺部を除いた領域には接続孔28が形成され、電極パッド16の一部が露出した状態となる。なお、この接続孔28によって、後の工程で形成される接続端子(電極部)と電極パッド16とを接続することができる。

【0061】

以上の工程が終了すると、絶縁膜20の表面、電極パッド16の露出部、並びに貫通孔11の内面及び底部に、バリア層及びシード層を含む下地膜22を形成する工程が行われる。図5（b）は、下地膜22を形成した状態を示す断面図である。図5（b）に示すように、下地膜22は、絶縁壁部13と接続孔28内部を十分にカバーして、電極パッド16上と絶縁膜20上に連続的に形成される。

【0062】

下地膜22の形成が終了すると、接続端子を形成するためのレジストを塗布し、次に、電気化学プレーティング（ECP）法を用いて、貫通孔11の内部及び接続孔28の内部を含む形にて下地膜22上にメッキ処理を施して、貫通孔11内部を銅で埋め込むとともに、絶縁壁部13を跨いで接続孔28内部にも銅を埋め込み、接続端子24を形成する工程を行う。このようにして、貫通孔11とは異なる領域の接続孔28において、接続端子24と電極パッド16とが電気的に接続され、基板10の表面側の外部電極となる接続端子24が形成される。

【0063】

この後、レジストを剥離し、バリア層及びシード層の不要部（図示省略）をエッチングにより除去することにより、図6（b）に示すような状態が形成される。

【0064】

以上の工程を経て製造された半導体装置本体部は、例えば接続端子24が基板10の裏面に露出するまで基板10の裏面が研磨され、露出した接続端子24と電気的に接続された電極が形成される。また、接続端子24近傍まで基板10を裏面から研磨した後、接続端子24が露出するように基板10の裏面にエッチングを行うことで、接続端子24を基板10の裏面から露出させてもよい。そして、基板10の表面及び裏面に共に電極が形成された半導体装置本体部を積層し、又は、基板10の表面及び裏面に共に電極が形成された半導体装置本体部を少なくとも1つ含んで積層して半導体装置本体部間を配線することにより高密度実装が可能な三次元実装型（スタックド型）の半導体装置が製造される。

【0065】

なお、各半導体装置本体部を積層するには、上下に配置された半導体装置本体部の電極を、ハンダ等のロウ材によって電気的な導通を取りつつ、接合するようにしても良い。また、半導体装置本体部を接合するためだけの接着材を用いても良い。この接着剤は、液状又はゲル状の接着剤であってもよいし、シート状の接着シートであってもよい。接着剤は、エポキシ樹脂を主な材料とするものであってもよく、絶縁性のものであってもよい。

【0066】

また、接着剤により半導体装置本体部同士を接合するだけではなく、電気的な導通を取る場合には、導電性物質を含んだ接着剤を用いても良い。この導電性物質は、例えば、ロウ材、ハンダ等の粒子で構成され、それらが接着材料中に分散している。こうすることと、被接続体同士の接合時に、その粒子が接合のロウとして働き、接合性をさらに著しく向上することができる。

【0067】

接着剤は、導電粒子が分散された異方性導電接着剤（ACA）、例えば異方性導電膜（ACF）や異方性導電ペースト（ACP）であってもよい。異方性導電接着剤は、バインダに導電粒子（フィラー）が分散されたもので、分散剤が添加される場合もある。異方性導電接着剤のバインダとして、熱硬化性の接着剤が使用されることが多い。その場合には、配線パターンと電極との間に、導電粒子が介在して両者間の電気的な接続が図られる。

【0068】

また、電極間の電気的な接続には、Au-Au、Au-Sn、ハンダ等による金属接合を適用してもよい。例えば、電極にこれらの材料を設け、熱のみ、超音波振動のみ、又は超音波振動及び熱等を印加して両者を接合する。両者が接合されると、振動や熱によって電極に設けられた材料が拡散して金属接合が形成される。

【0069】

以上のように積層されて形成される三次元実装型の半導体装置の最も下（又は最も上）

に位置する半導体装置本体部の接続端子24には、外部端子が接続される。この外部端子はハンダ又は金属等で形成することができるが、必ずしもこれらに制限される訳ではなく、導電性の部材で形成すればよい。また、ハンダボールは必ずしも必要ではなく、半導体装置本体部を基板上に実装して、半導体モジュールを構成してもよい。さらに、ハンダボールを形成せず、マザーボード実装時にマザーボード側に塗布されるハンダクリームを利用し、その溶融時の表面張力で電気的な接続をとってもよい。

【0070】

以上説明したように、本実施形態による半導体装置の製造方法によれば、パッシベーション膜18を開口し、引き続き電極パッド16を開口して電極パッド16に開口部H2を形成した後、パッシベーション膜18の上面及び開口部内壁、さらには電極パッド16、層間絶縁膜14、絶縁膜12の開口部内壁に形成され、その開口底部に自身の開口部H5を有してなるハードマスク29をマスクとして基板10を穿孔している。このため基板10から電極パッド16に至る積層方向において貫通孔内面に段差部を形成することが可能となり、その貫通孔内部に形成する接続端子24の抜け防止に寄与することが可能となる。

【0071】

また、本実施形態によれば、半導体素子が形成されていない領域に配設された電極パッド16に開口部H2（貫通孔11）を穿孔して接続端子24を形成しているため、電極パッド16の形成位置とは異なる位置に接続端子24を形成した場合に比べて、半導体装置の面積を有効に利用することができ、その結果として半導体装置の設計の自由度が向上する。ここで、接続端子24を電極パッド16の形成位置とは異なる位置に形成した場合には、接続端子24の大きさが制限されたことがあったが、本実施形態では接続端子24の大きさを電極パッド16と同程度の大きさにすることができるため、これにより他の半導体装置と接続される面積が大になり、その結果として半導体装置の信頼性・信頼性を向上させることができる。

【0072】

なお、本実施形態では接続端子24を構成する導電部材として銅を用いており、銅を充填させる際にCVDダマシン法を採用することができる。すなわち、孔部H3をCVD法、電界メッキ法等により充填させ、CMPにより表面を研磨除去する方法により、接続端子24を形成することができる。勿論、接続端子24は銅以外のアルミニウム等を主体として構成することも可能である。

【実施例2】

【0073】

次に、本発明の半導体装置の第2の実施の形態について説明する。図7は第2の実施の形態の半導体装置について、その要部を示す部分断面模式図であって、第1の実施の形態の図1に相当する図である。第2の実施の形態の半導体装置200は、シリコン基板10上に絶縁膜12及び層間絶縁膜14を介して電極パッド16が積層された構成の半導体装置本体部1を複数積層してなるものであって、第1の実施の形態と大きく異なる点は、シリコン基板10、絶縁膜12、層間絶縁膜14及び電極パッド16を貫通する貫通孔11が面一に形成されている点である。したがって、図1と同じ構成のものについては、該図1と同じ符号を付し説明を省略する。

【0074】

各半導体装置本体部2は、シリコン基板10と電極パッド16の積層方向に面一で貫通する貫通孔11を具備してなり、該貫通孔11内部には導電部材からなる接続端子24が挿通されている。このような本実施の形態の半導体装置200によると、貫通孔11の内面が面一で段差の生じない状態で形成されているため、当該貫通孔11内面へのメッキ処理等が容易となり、段差がある場合に比して均一な薄膜を形成することが可能となる。

【0075】

また、本実施の形態においても、貫通孔11内部に挿通された接続端子24により半導体装置本体部2の表裏間で導通をとることができ、この表面及び/又は裏面に別の半導体

装置本体部を積層することが可能なため、半導体装置本体部2を三次元実装させることができとなる。そして、貫通孔11を電極パッド16内部に設けたため、シリコン基板10上の電極パッド16が形成されていない領域に貫通孔を形成する場合に比して、省スペース化が可能となり、当該半導体装置の高機能化ないし小型化を実現することが可能となり得る。

【0076】

また、このような本実施の形態の半導体装置200において接続端子24と電極パッド16との接続を、貫通孔11内部の接続端子24から電極パッド16に対して直接行うのではなく、貫通孔11の内面に沿って電極パッド16から突出した構成の絶縁壁部13を跨ぐ形にて、電極パッド16と平面的に接続するものとしたため、接続端子24は絶縁壁部13上を超えて電極パッド16と接続することとなり、つまり接続端子24が絶縁壁部13と電極パッド16との双方に接面した構成となる。この場合、接続端子24と絶縁壁部13及び電極パッド16との接面には少なくとも絶縁壁部13の厚さ分だけの段差が生じ、段差なしに面一で接続端子24と絶縁壁部13及び電極パッド16とを密着させた場合に比して、その密着力が高くなり、その結果、接続端子24と電極パッド16との間の電気的接続状態を安定化することが可能となる。

【0077】

なお、図7に示した半導体装置200の製造方法については、図2（b）から図2（c）に示したような、電極パッド16及び絶縁膜12、14に対する開口工程と、基板10に対する穿孔工程とを同一工程にて行うのが良い。これにより、各層の開口径が略同一となり、段差のない、若しくは段差の少ない貫通孔11を形成することができる。なお、このような方法によっても若干の段差が生じた場合には、その段差の部分をエッチングにより除去するものとしても良い。

【0078】

上記のような基板10に対する穿孔工程を行った後は、図4（b）に示すような絶縁膜20、図5に示すような接続孔28及び下地膜22を形成し、接続端子24を充填することで、貫通孔11に段差のない半導体装置本体部2を得ることができる。

【実施例3】

【0079】

図9は、本発明の半導体デバイスの一実施形態たる回路基板の概略構成を示す斜視図である。図9に示すように、本実施の形態の半導体デバイス102は、上記半導体装置100（200、300）が回路基板101上に搭載された構成を具備している。回路基板101には例えばガラスエポキシ基板等の有機系基板を用いることが一般的である。回路基板101には例えば銅等からなる配線パターンが所望の回路となるように形成されており、それらの配線パターンと半導体装置100の配線パターンとが機械的に接続され、又は、上述した異方性導電膜を用いて電気的な導通がとられている。

【0080】

また、本実施形態の半導体装置を具備した半導体デバイスを有する電子機器として、図10にはノート型パーソナルコンピュータ201が示されている。図9に示した半導体デバイスは各電子機器の筐体内部に配置される。

【0081】

また、電子機器は、上記のノート型コンピュータ及び携帯電話に限られる訳ではなく、種々の電子機器に適用することができる。例えば、液晶プロジェクタ、マルチメディア対応のパーソナルコンピュータ（PC）及びエンジニアリング・ワークステーション（EWS）、ページヤ、ワードプロセッサ、テレビ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、電子手帳、電子卓上計算機、カーナビゲーション装置、POS端末、タッチパネルを備えた装置等の電子機器に適用することが可能である。

【図面の簡単な説明】

【0082】

【図1】第1の実施の形態の半導体装置について概略構成を示す断面模式図。

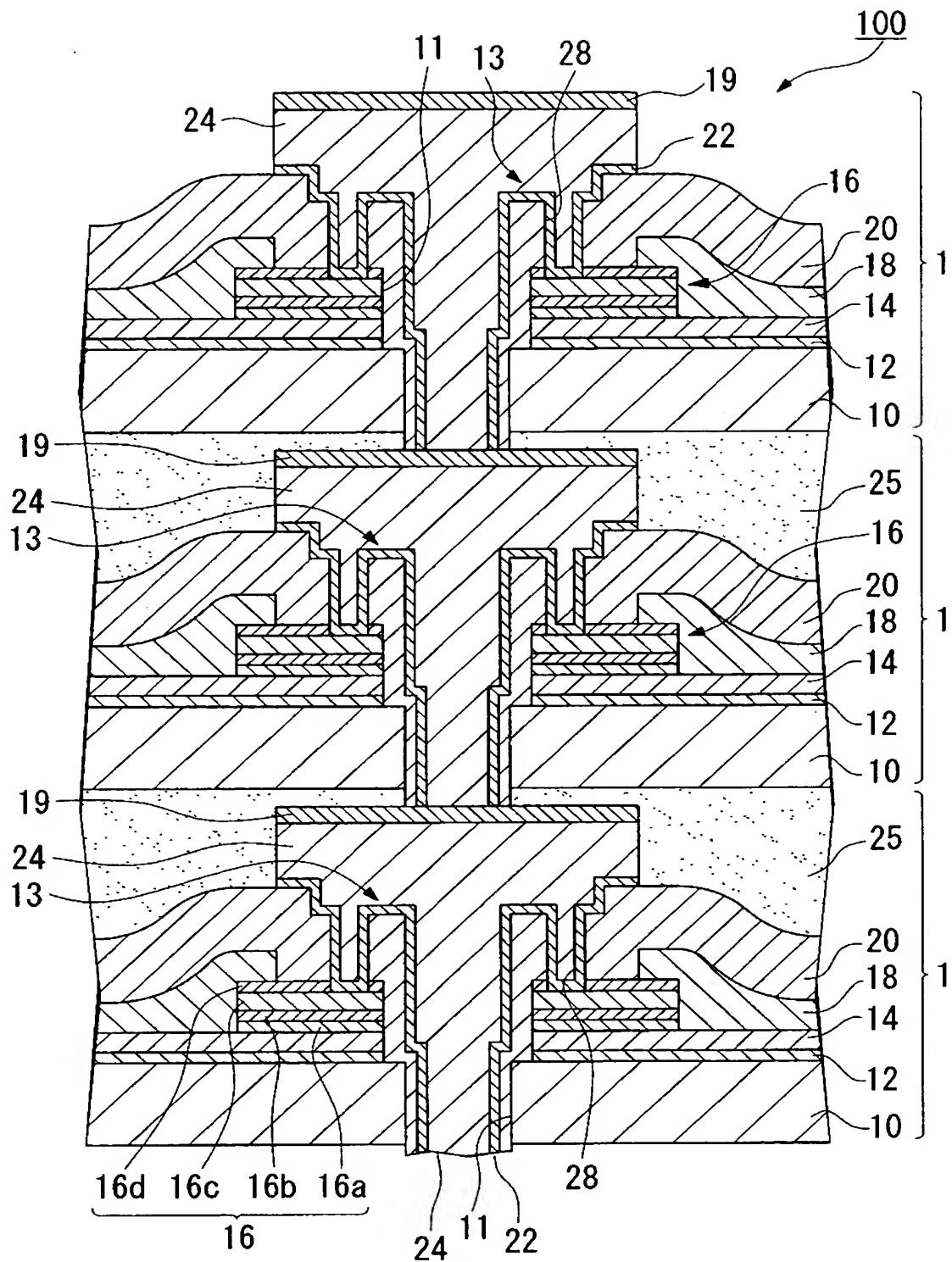
- 【図2】図1の半導体装置の一製造工程を示す断面模式図。
- 【図3】図2に続く、半導体装置の一製造工程を示す断面模式図。
- 【図4】図3に続く、半導体装置の一製造工程を示す断面模式図。
- 【図5】図4に続く、半導体装置の一製造工程を示す断面模式図。
- 【図6】図5に続く、半導体装置の一製造工程を示す断面模式図。
- 【図7】第2の実施の形態の半導体装置について概略構成を示す断面模式図。
- 【図8】半導体装置の一变形例について概略構成を示す断面模式図。
- 【図9】第3の実施の形態の半導体デバイスについて概略構成を示す斜視図。
- 【図10】電子機器の一実施の形態について概略構成を示す斜視図。

【符号の説明】

【0083】

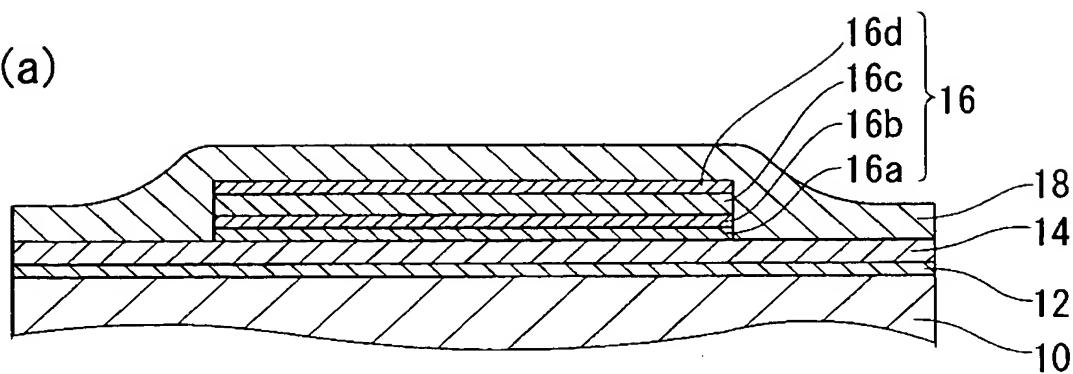
1, 2…半導体装置本体部、10…シリコン基板（基板）、11…貫通孔、13…絶縁壁部（絶縁部材）、16…電極パッド（電極）、18…パッシベーション膜（絶縁膜）、20…絶縁膜、24…接続端子（導電部材）、100, 200, 300…半導体装置、102…半導体デバイス、201…電子機器。

【書類名】 図面
【図 1】

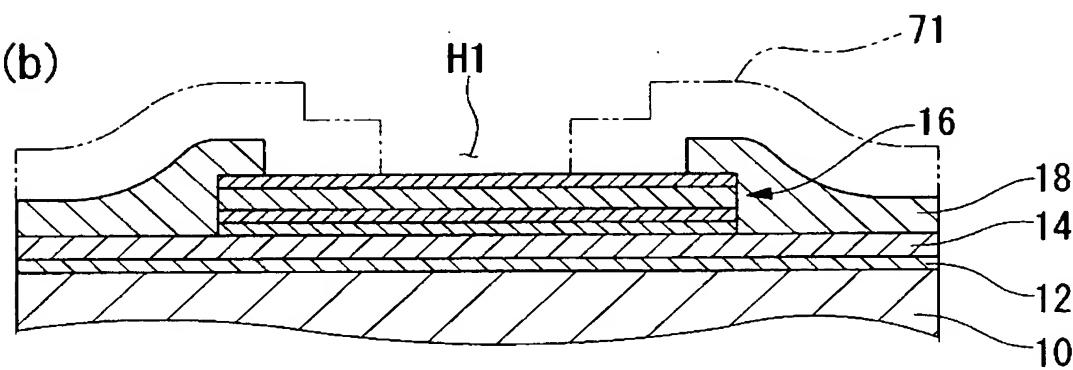


【図2】

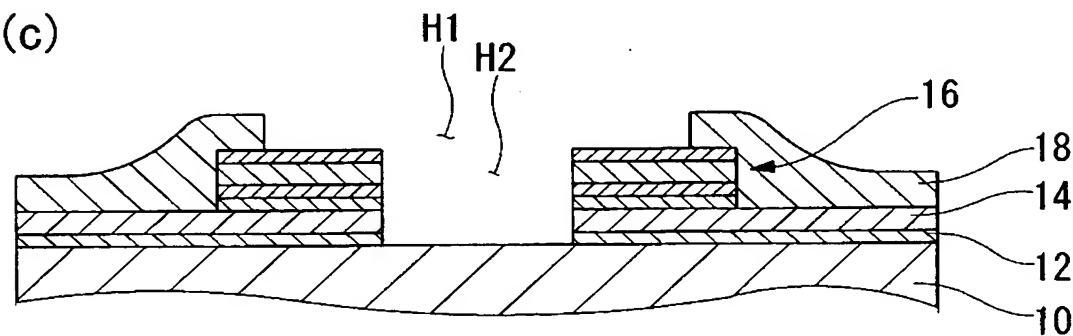
(a)



(b)

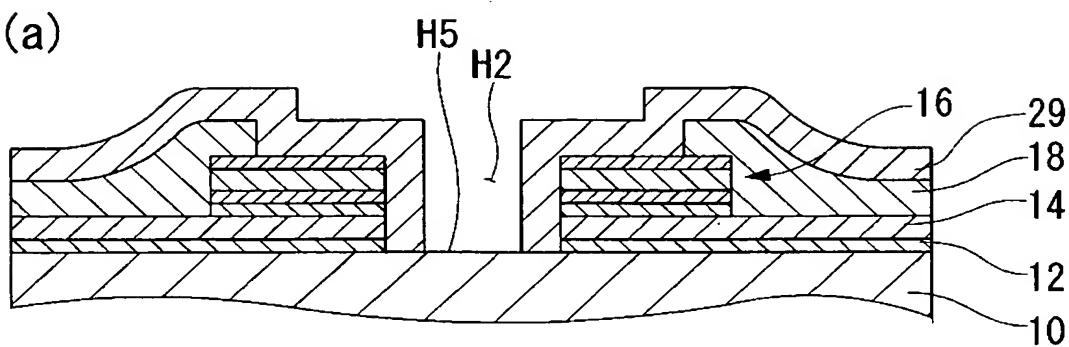


(c)

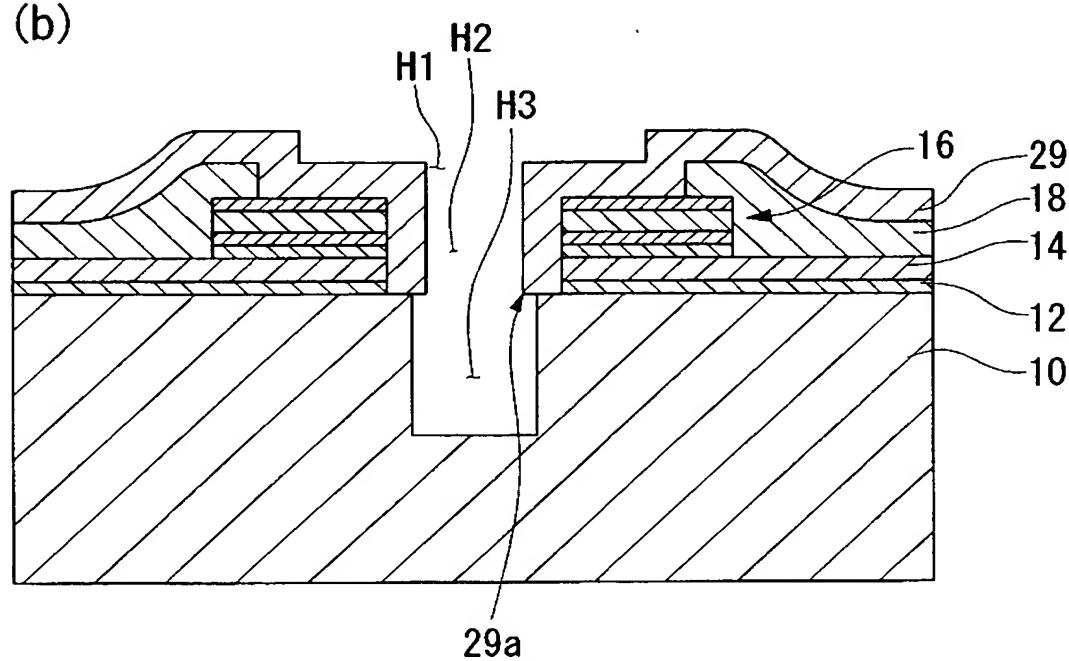


【図3】

(a)

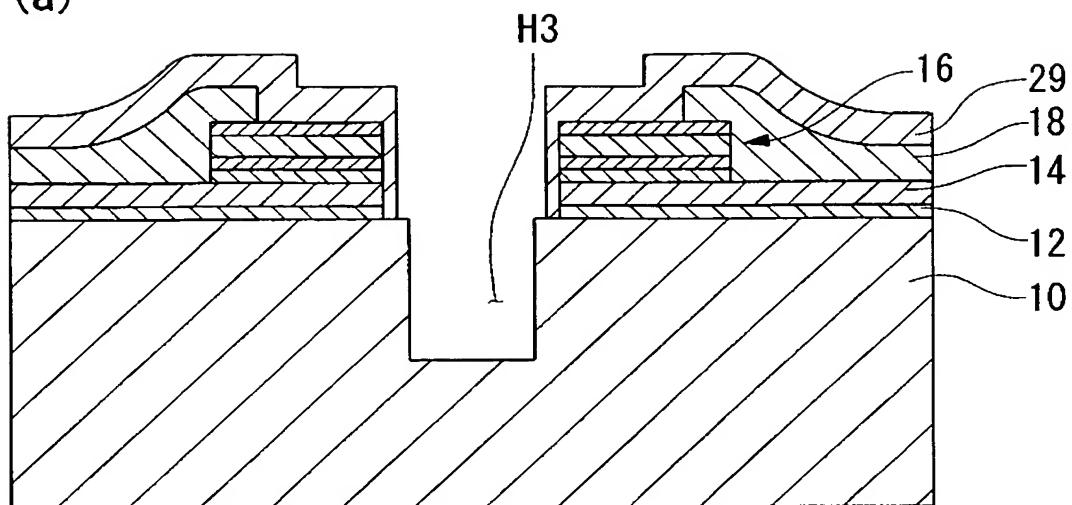


(b)

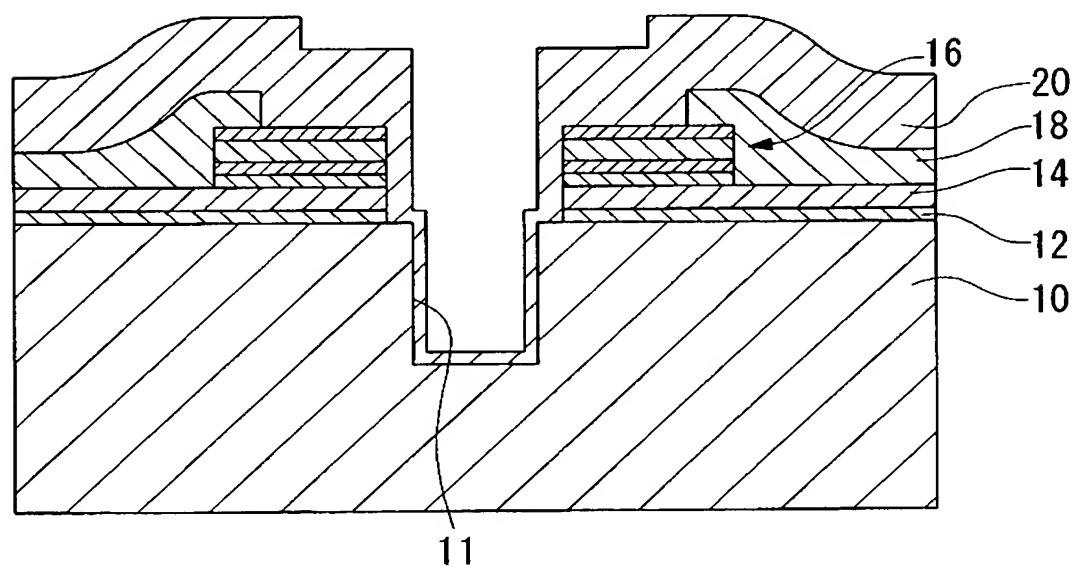


【図4】

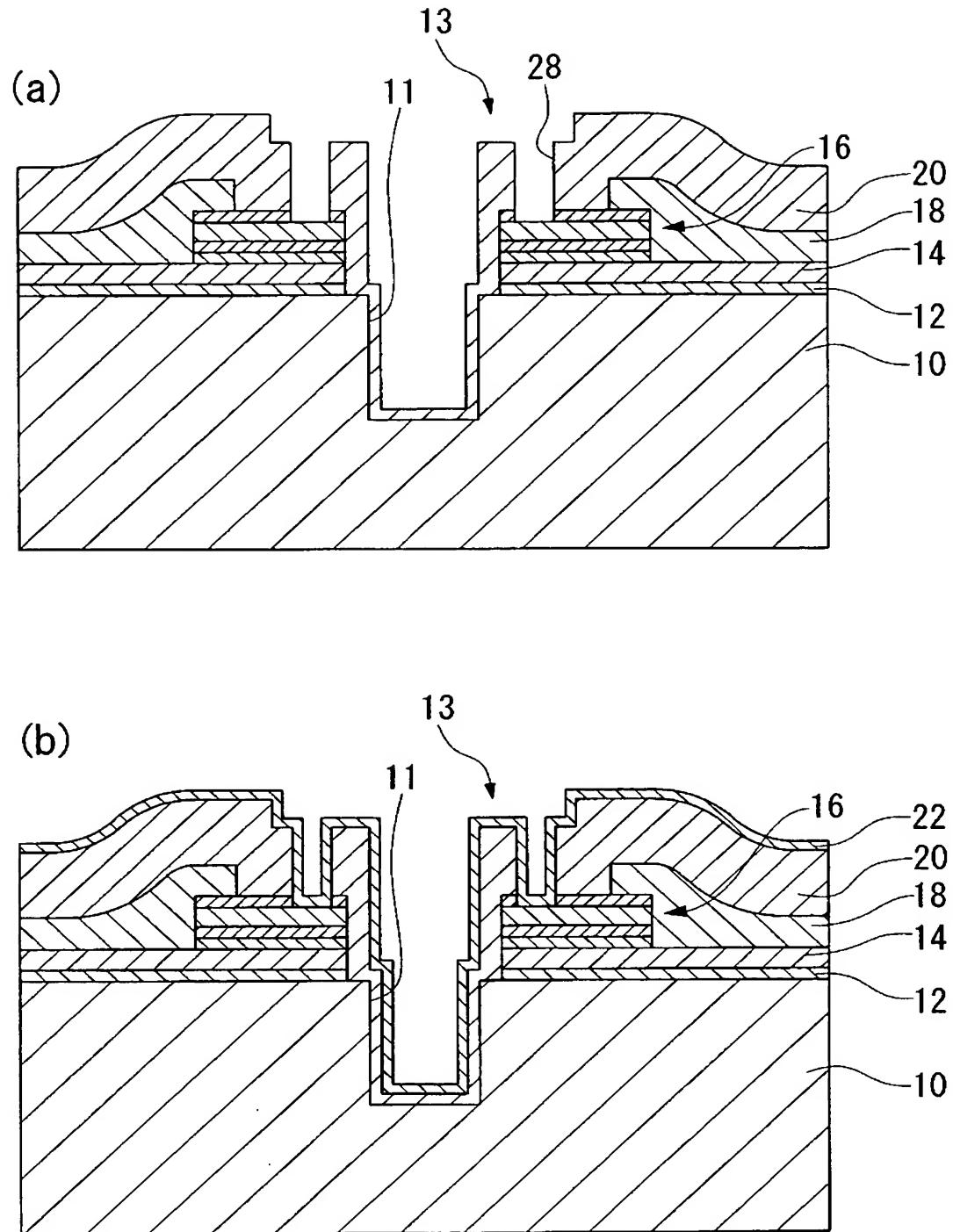
(a)



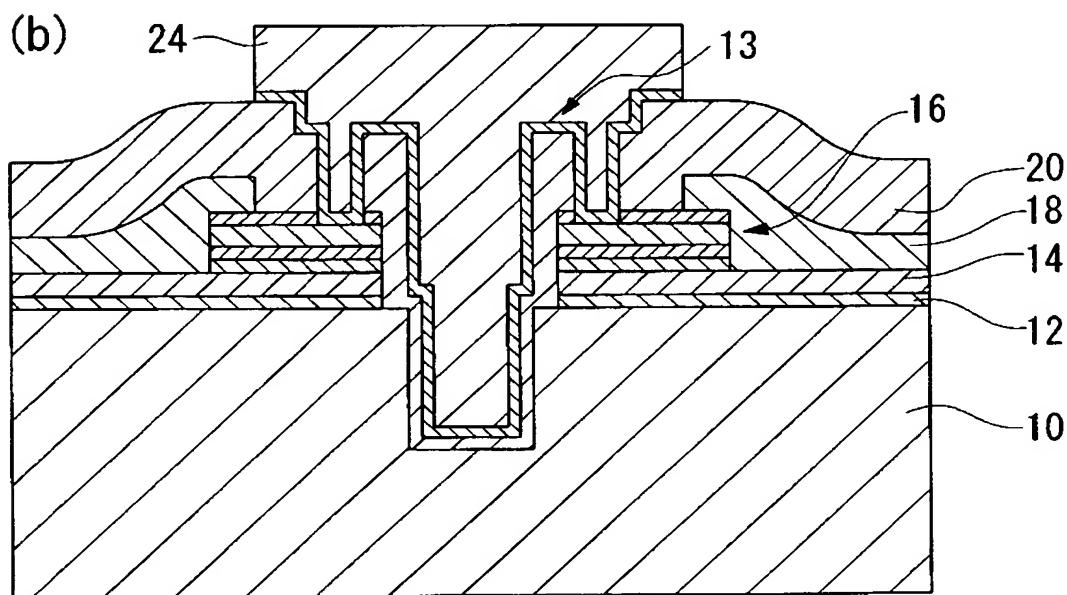
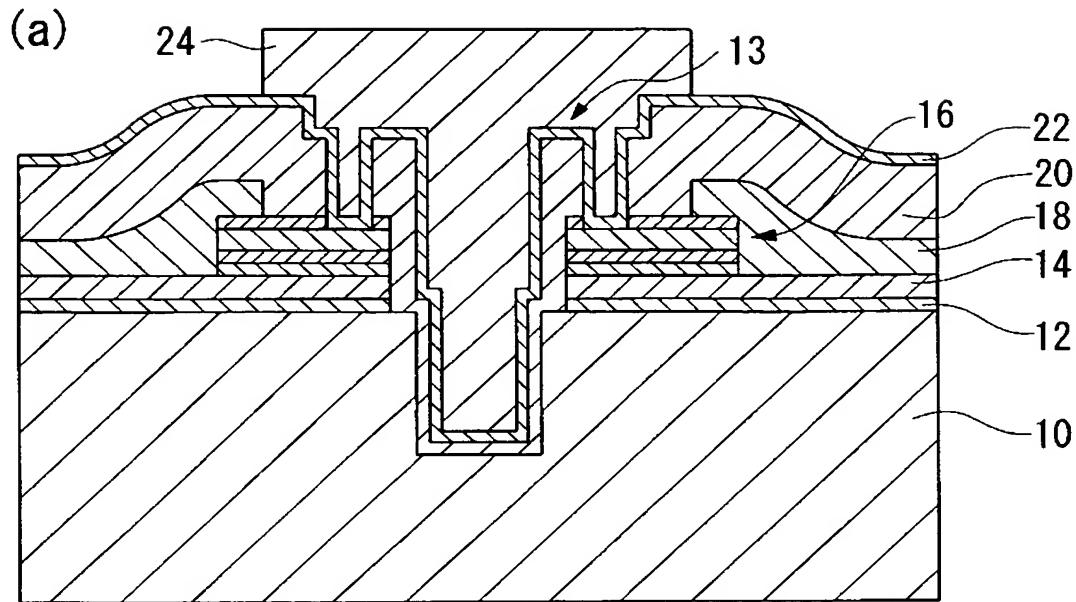
(b)



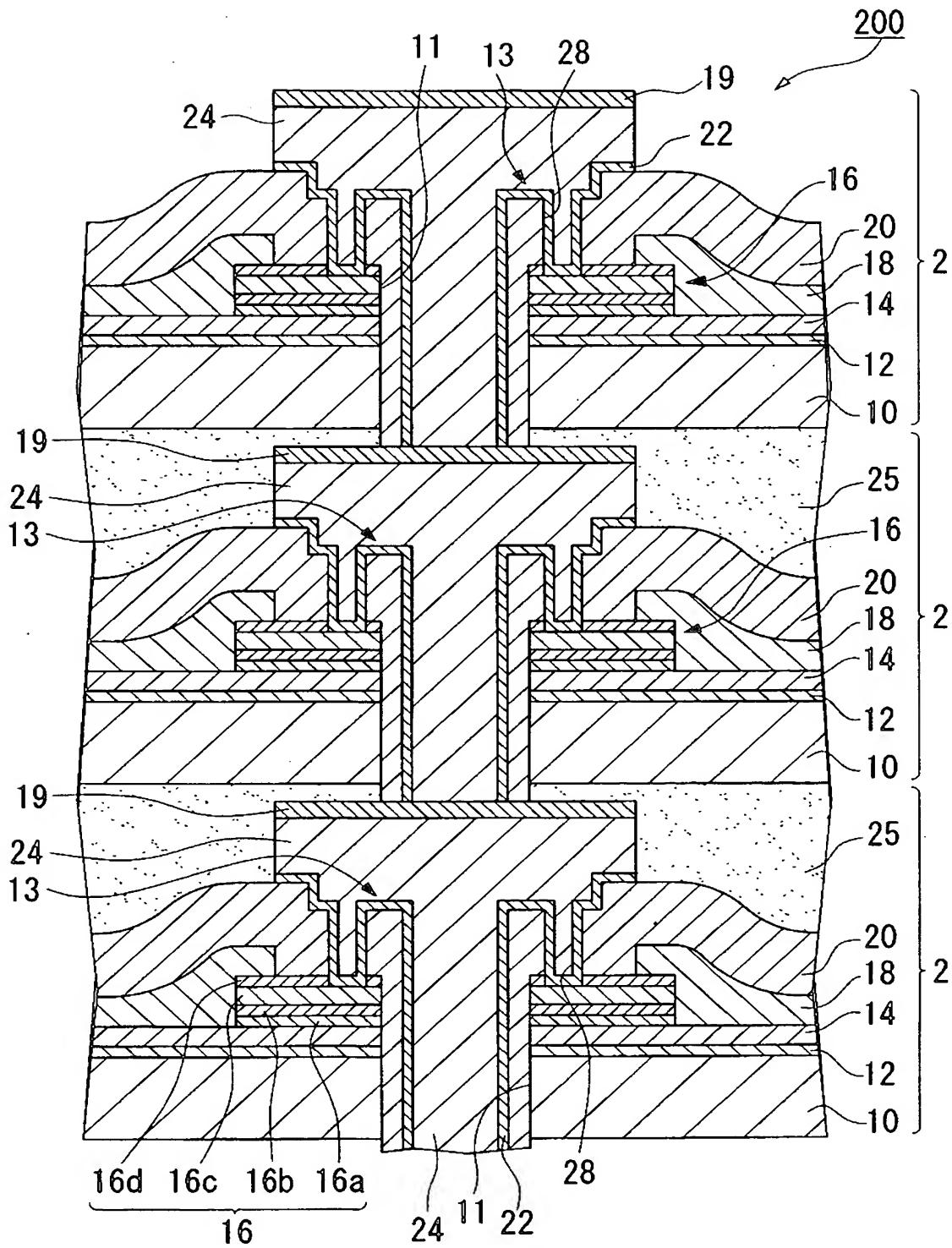
【図5】



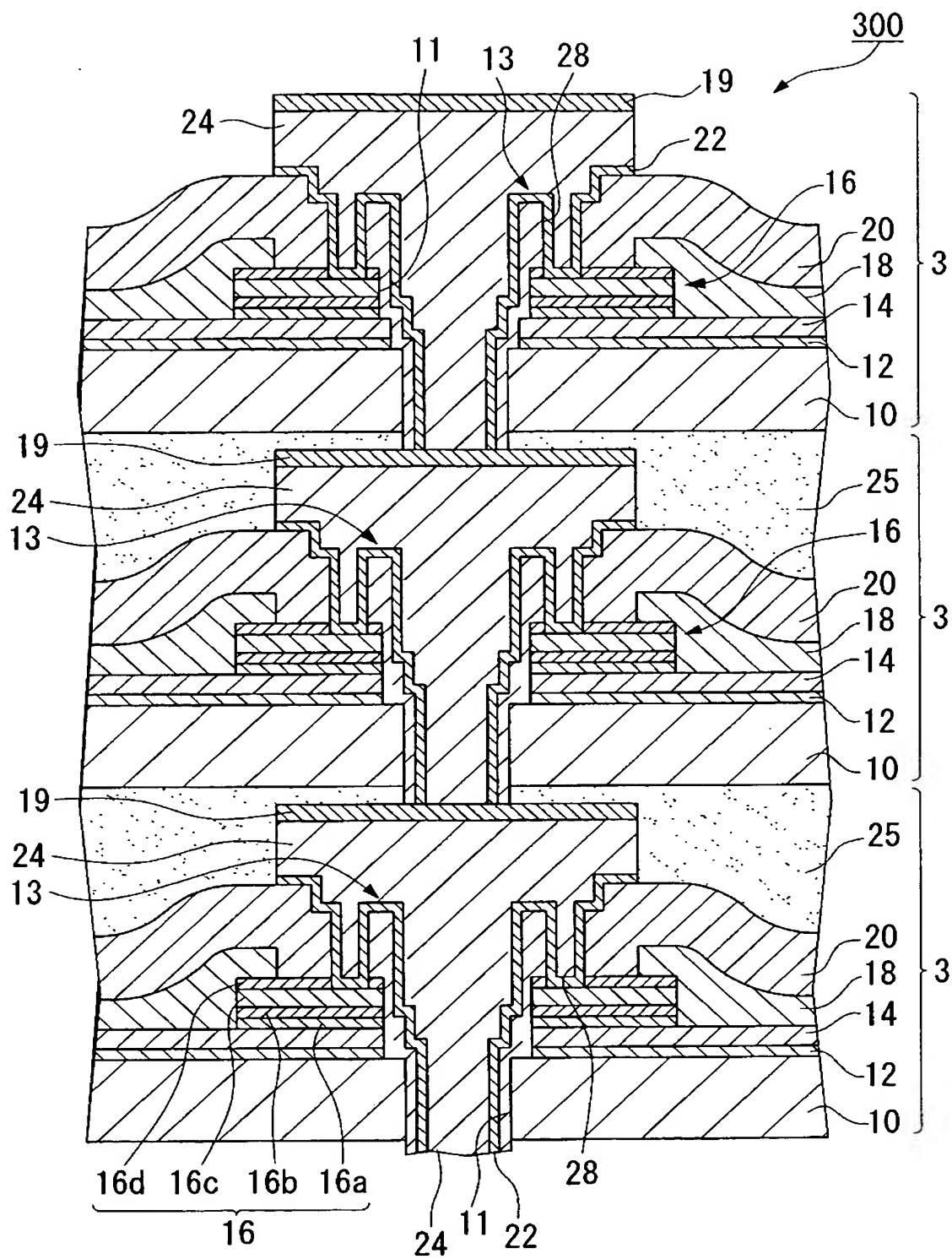
【図6】



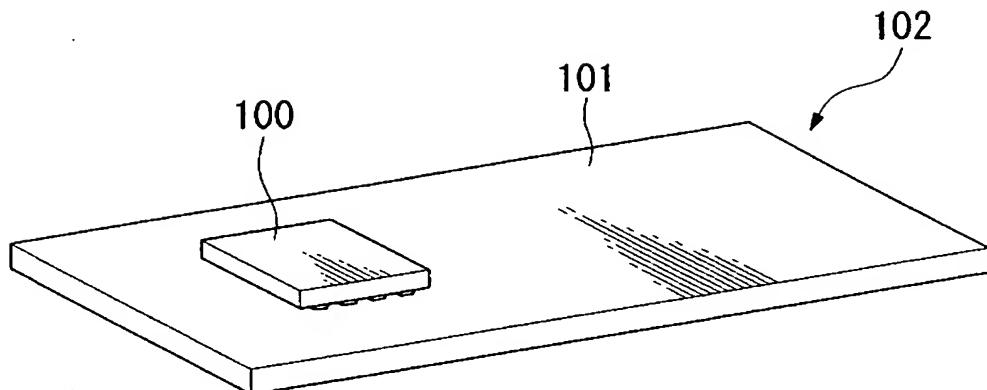
【図7】



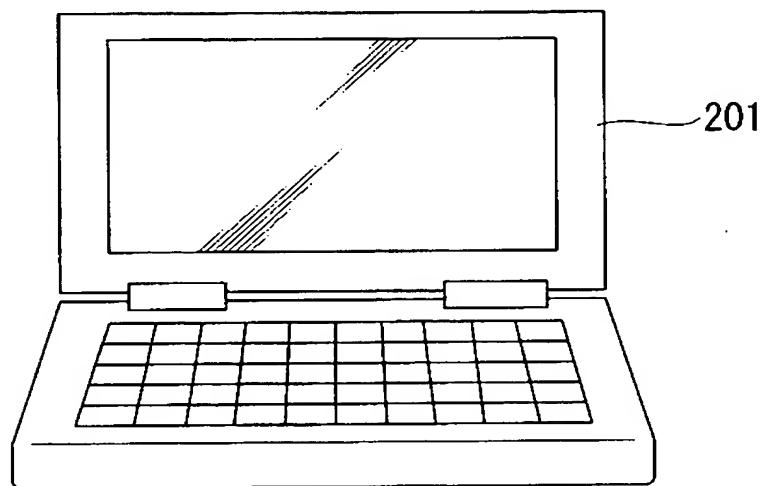
【図8】



【図9】



【図10】



【書類名】要約書

【要約】

【課題】 良好な電気的接続状態を確保した信頼性の高い半導体装置を提供する。

【解決手段】 本発明の半導体装置は、基板10上に電極16が積層された構成を含む半導体装置本体部1を具備してなる半導体装置であって、電極16及び基板10の積層方向には、これら電極16及び基板10を貫通する貫通孔11が形成され、その貫通孔11内部には導電部材24が挿通される一方、電極16上には少なくとも貫通孔11に面する絶縁部材13が形成されており、導電部材24は、貫通孔11から該絶縁部材13を跨いで電極16と接続されていることを特徴とする。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2003-424712
受付番号	50302106217
書類名	特許願
担当官	第一担当上席 0090
作成日	平成 15 年 12 月 26 日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000002369
【住所又は居所】	東京都新宿区西新宿 2 丁目 4 番 1 号
【氏名又は名称】	セイコーエプソン株式会社

【代理人】

【識別番号】	100095728
【住所又は居所】	長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社 知的財産本部内
【氏名又は名称】	上柳 雅譽

【選任した代理人】

【識別番号】	100107076
【住所又は居所】	長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社 知的財産本部内
【氏名又は名称】	藤綱 英吉

【選任した代理人】

【識別番号】	100107261
【住所又は居所】	長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社 知的財産本部内
【氏名又は名称】	須澤 修

特願 2003-424712

出願人履歴情報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住所 東京都新宿区西新宿2丁目4番1号
氏名 セイコーエプソン株式会社